



PATENT

Docket No.: 8218-US-PA

2186 #2
8-22-02
ed

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Sheng-Chung Wu
Application No. : 10/064,206
Filed : 2002/6/21
For : CONTROL CHIP FOR ACCELERATING MEMORY
ACCESS AND METHOD OF OPERATING THE SAME
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS

Washington, D.C. 20231

RECEIVED

AUG 14 2002

Technology Center 2100

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91103731,
filed on: 2002/3/1.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 8, 2002

By: Belinda Lee

Registration No.: 46,863

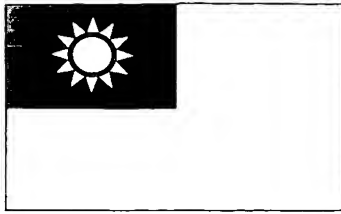
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 03 月 01 日
Application Date

申請案號：091103731
Application No.

RECEIVED

AUG 14 2002

申請人：威盛電子股份有限公司 Technology Center 2100
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 7 月 16 日
Issue Date

發文字號：09111013428
Serial No.

申請日期	
案 號	91103731
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	加速記憶體存取的控制晶片及其運作方法
	英 文	
二、發明 創作人	姓 名	吳勝宗
	國 籍	中華民國
	住、居所	台北縣新店市中正路 533 號 8 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱： 加速記憶體存取的控制晶片及其
運作方法)

一種加速記憶體存取的控制晶片及其運作方法。本發明所揭露的控制晶片在接收到CPU的第一位址資料選通訊號(ADS)、請求訊號、以及位址匯流排訊號後，當請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、且位址相位定址在記憶體的範圍內，即提前產生第二ADS訊號，並將第二ADS訊號轉換為參考記憶體時脈的第三ADS訊號，進而使得傳送至記憶體的記憶體控制訊號得以提早產生，於是能加速記憶體的存取，並提升系統的性能與效率。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 ()

本發明是有關於一種控制晶片，且特別是有關於一種能加速記憶體讀寫操作的控制晶片及其運作方法。

目前的中央處理單元(Central Processing Unit，簡稱CPU)之處理與計算資料的速度雖然愈來愈快，然而當CPU欲存取記憶體資料時，仍需經由控制晶片傳送至記憶體中。因此如果CPU在存取記憶體資料時，能減少在控制晶片內的延遲時間，就能加速記憶體的存取，進而提升整個電腦系統的性能與效率。

第1圖描繪習知控制晶片10與CPU12的連接方式，其中第1圖中的控制晶片10包括微處理器介面102、訊號轉換電路108、以及記憶體控制器110，而微處理器介面102更包括解碼器104與及閘106。微處理器介面102係參考CPU時脈(HCLK)，用以接收第一位址資料選通訊號(Address Data Strobe，簡稱ADS)、請求訊號(HREQ[4:0])、以及位址匯流排訊號(HA[31:3])，並透過微處理器介面102所包含之解碼器104對第一ADS訊號、HREQ[4:0]、以及HA[31:3]做解碼。隨後，第一ADS訊號、HREQ[4:0]、以及HA[31:3]的解碼結果(是否啟動記憶體週期(Memory cycle)之結果，往後會再提及)，將經由訊號線106A饋入及閘(AND gate)106，用以決定第二ADS訊號的狀態。第二ADS訊號係參考HCLK的指令選通訊號(Command strobe)，其在產生後隨即送往與微處理器介面102耦接之訊號轉換電路(Conversion circuit)108。當訊號轉換電路108收到第二ADS訊號後，將參考HCLK，用以將第二ADS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

訊號轉換為參考記憶體時脈(DCLK)的第三 ADS 訊號。至於第三 ADS 訊號則饋入至與訊號轉換電路 108 相耦接之記憶體控制器(Memory controller)110 中，用以輸出參考 DCLK、且符合記憶體規格的記憶體控制訊號。該記憶體控制訊號隨後被傳送至記憶體，作為控制記憶體存取動作之用。

應注意的是，由於 CPU 與記憶體參考頻率不同(例如分別為 100 與 133MHz)，所以第二 ADS 訊號必須經過轉換電路 108 以產生參考 DCLK 的第三 ADS 訊號後，方可達成所需的記憶體存取操作。然而因轉換電路 108 於執行轉換操作時需要較長的時間，因此在產生第三 ADS 訊號時，往往會衍生較長的訊號延遲，連帶影響後續記憶體存取動作的進行。

上述由 CPU 12 所輸出之請求訊號(HREQ[4:0])包括二個相位，其中第一個相位(Phase I)稱為請求選擇相位，第二個相位(Phase II)稱為長度相位。請求選擇相位係用來決定 HREQ[4:0] 訊號的傳輸型式，而長度相位係用來選擇所要存取的記憶體長度。至於位址匯流排訊號(HA[31:3] 訊號)則包括二個相位，其中第一個相位稱為位址相位，第二個相位稱為位元組致能相位。位址相位係用來定址記憶體的位置，而位元組致能相位係用來選擇位元組資料、字組資料、雙字組資料或四字組資料來做記憶體的存取。習知記憶體週期之啟動必須等到 HREQ[4:0] 訊號與 HA[31:3] 訊號兩個相位的訊號內容皆被處理過才能進行。舉例而言，在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

HREQ[4:0] 訊號與 HA[31:3] 訊號的第一個相位中，HREQ[4:0] 訊號中的請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、HA[31:3] 訊號中的位址相位定址在記憶體的範圍內(亦即輸入正確的記憶體存取範圍)；且在 HREQ[4:0] 訊號與 HA[31:3] 訊號的第二個相位中，HREQ[4:0] 訊號中的長度相位所選擇的記憶體長度不為零(例如 HREQ[4:0] 第二相位不包含"00"之訊號)、而且 HA[31:3] 訊號中的位元組致能相位之任一位元組致能(例如不包含連續8個0)時，表示 HREQ[4:0] 訊號與 HA[31:3] 訊號的第二個相位並非傳送長度為零(Zlen, Zero-length)的訊號時，及閘106才會輸出參考HCLK之高電位致能的第二ADS訊號，用以起始有效的記憶體週期，進而驅動記憶體存取的操作。明顯的，在習知技術中進行記憶體存取時，必須在判斷在HREQ[4:0]與HA[31:3]訊號的第二個相位的內容後，相關的記憶體存取動作才會開始動作。

至於控制晶片 10 進行記憶體存取時的時序訊號圖則如第 2 圖所繪示。在第 2 圖中，係以 CPU 為 Pentium 4，HCLK 的操作頻率為 100 百萬赫茲(MHz)，而 DCLK 的操作頻率為 133MHz 做說明，接下來將透過第 2 圖來描述習知控制晶片的運作情形。

當 CPU 12 欲存取記憶體的資料時，CPU 12 會起始記憶體存取週期。應注意的是，這個記憶體存取週期是否有效，必須判斷 HREQ[4:0] 訊號與 HA[31:3] 訊號的第二個相位是否傳送 Zlen 訊號才能決定。當 CPU 12 起始記憶體存

五、發明說明 (4)

取週期時，微處理器介面 102 將在 HCLK 的上升緣後，接收到 CPU 12 所發出之參考 HCLK 之低電位致能的第一 ADS 訊號、HREQ[4:0]、以及 HA[31:3]。接下來，第一 ADS 訊號、HREQ[4:0]及 HA[31:3]會經由微處理器介面 102 中的解碼電路 104 做解碼。當 HREQ[4:0]訊號中的請求選擇相位(HREQ_A)為記憶體讀取訊號或記憶體寫入訊號、而 HA[31:3]訊號中的位址相位(HA_A)定址在記憶體的範圍內時，若 HREQ[4:0]訊號中的長度相位(HREQ_B)所選擇的記憶體長度不為零、而且 HA[31:3]訊號中的位元組致能相位(HA_B)之任一位元組被致能(亦即不為 0)時，參考 HCLK 的第二 ADS 訊號(高電位致能)會經由及閘 106 而產生，如第 2 圖上升緣 202 之所示。接下來，第二 ADS 訊號會經由訊號轉換電路 108，以在 DCLK 的上升緣 204 後，產生參考 DCLK 之高電位致能的第三 ADS 訊號，如第 2 圖之上升緣 206 所示。之後，第三 ADS 訊號會饋入記憶體控制器 110 內，用以產生參考 DCLK 之符合記憶體規格的記憶體控制訊號(如上升緣 208 所示)，而控制信號隨後傳送至記憶體以進行相關操作。應注意的是，當第二 ADS 訊號拉高至高電位後，在一定期間內皆維持高電位，以使相關的記憶體存取操作得以進行。另一方面，HREQ[4:0]與 HA[31:3]兩訊號則在第一 ADS 訊號由低電位拉高至高電位後皆維持浮置(Floating)狀態。而第一 ADS 訊號、以及 HREQ[4:0]與 HA[31:3]訊號的狀態必須等到 CPU 起始下一個記憶體存取週期後才會變更。

五、發明說明(5)

由於控制晶片 10 必須等到長度相位(HREQ_B)所選擇的記憶體長度不為零、且位元組致能相位(HA_B)之任一位元組致能(亦即不包含 Zlen 訊號)時，才會致能第二 ADS 訊號。易言之，第二 ADS 訊號必須等到 HREQ[4:0]與 HA[31:3]的第二個相位(亦即 HREQ_B 與 HA_B)確定不包含 Zlen 訊號時才會產生。再者，因轉換電路 108 所執行的訊號轉換操作將產生嚴重的訊號延遲，連帶的延遲第三 ADS 訊號及記憶體控制訊號的產生時間，於是便影響 CPU 在存取記憶體資料的效率。

有鑒於此，本發明提出一種加速記憶體存取的控制晶片及其運作方法，因為只要請求選擇相位(HREQ_A)為記憶體讀取訊號或記憶體寫入訊號、且位址相位(HA_A)定址在記憶體的範圍內，第二 ADS 訊號隨即產生，因此第二 ADS 訊號將提早一個週期產生，進而使得第三 ADS 訊號及記憶體控制訊號的產生時間提早，因此能加速記憶體的讀取。

為達成上述目的，本發明提出一種加速記憶體存取的控制晶片之運作方法，其中控制晶片係耦接至中央處理單元。本發明較佳實施例之運作方法包含步驟如下：首先，控制晶片將接收由中央處理單元而來、參考 CPU 時脈的第一選通訊號、請求訊號、以及位址匯流排訊號，其中請求訊號包括請求選擇相位與長度相位，而位址匯流排訊號包括位址相位與位元組致能相位。當請求選擇相位指出請求訊號係記憶體讀取請求訊號或記憶體寫入請求訊號、且位址相位定址在記憶體之位址範圍內時，立即產生參考 CPU

五、發明說明(6)

時脈的第二選通訊號。另一方面，當長度相位所選擇的記憶體長度不為零、且位元組致能相位之任一位元組致能後，即產生參考CPU時脈的致能訊號，隨後將第二選通訊號轉換為參考記憶體時脈的第三選通訊號。於是當第三選通訊號與致能訊號均為致能後，隨即產生參考記憶體時脈的記憶體控制訊號，進而啟動記憶體存取之操作。

本發明所揭露用以加速記憶體存取的控制晶片包括微處理器介面、訊號轉換電路、以及記憶體介面，其中處理器介面係用以接收由中央處理單元而來、且參考CPU時脈的第一選通訊號、請求訊號、以及位址匯流排訊號，其中請求訊號包括請求選擇相位與長度相位，位址匯流排訊號包括位址相位與位元組致能相位。當請求選擇相位決定出請求訊號屬於記憶體讀取請求訊號或記憶體寫入請求訊號、且位址相位定址在記憶體之位址範圍內時，微處理器介面即產生參考CPU時脈的第二選通訊號；當長度相位所選擇的記憶體長度不為零、且位元組致能相位之任一位元組致能後，微處理器介面將產生參考CPU時脈的致能訊號。訊號轉換電路係耦接至微處理器介面，用以將參考CPU時脈的第二選通訊號，轉換為參考記憶體時脈的第三選通訊號。較佳實施例中的記憶體控制器係耦接至訊號轉換電路，用以當第三選通訊號與致能訊號均為致能後，產生參考記憶體時脈的記憶體控制訊號。

綜上所述，本發明因為只要請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、且位址相位定址在記憶體的範

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（7）

圍內時，第二ADS訊號隨即產生，因此第二ADS訊號產生的時間將提早一個週期產生，而使第三ADS訊號與記憶體控制訊號的產生時間提早，因此能加速記憶體的讀取。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的習知控制晶片之方塊圖；

第 2 圖繪示的是第 1 圖之控制晶片的時脈訊號圖；

第 3 圖繪示的是本發明較佳實施例中，用以加速記憶體存取的控制晶片之方塊圖；以及

第 4 圖繪示的是依據第 3 圖本發明較佳實施例之控制晶片的時脈訊號圖。

重要元件標號

10，30：控制晶片

12，32：CPU

102，302：微處理器介面

104，304：解碼電路

106：及閘

106A：及閘 106 之輸入訊號線

108，306：訊號轉換電路

110，308：記憶體控制器

202、204、206、208：訊號上升緣

310：仲裁電路

五、發明說明(8)

312：及閘

312A：及閘 312 之輸入訊號線

402、404、406、408、410：訊號上升緣

較佳實施例

請參照第 3 圖，其繪示的是根據本發明一較佳實施例的一種加速記憶體存取的控制晶片 30 之方塊圖，而控制晶片 30 可安置於主機板內，成為主機板與 CPU 32 的溝通元件的。控制晶片 30 包括微處理器介面 302、訊號轉換電路 306、以及記憶體控制器 308，其中微處理器介面 302 更包括解碼器 304 與及閘 312，而記憶體控制器 308 則包括仲裁電路 310。底下將敘述控制晶片 30 進行記憶體存取時，控制晶片 30 之各部分的運作情形。

微處理器介面 302 接收參考 CPU 時脈(HCLK)的第一位址資料選通訊號(Address Data Strobe，簡稱 ADS)、請求訊號(HREQ[4:0])、以及位址匯流排訊號(HA[31:3])，其中 HREQ[4:0]亦包括二個相位，第一個相位(Phase I)稱為請求選擇相位，第二個相位(Phase II)稱為長度相位。請求選擇相位係用來決定 HREQ[4:0]訊號的傳輸型式，而長度相位係用來選擇所要存取的記憶體長度。HA[31:3]訊號亦包括二個相位，第一個相位稱為位址相位，第二個相位稱為位元組致能相位。位址相位係用來定址記憶體的位置，而位元組致能相位係用來選擇位元組資料、字組資料、雙字組資料或四字組資料來做記憶體的存取。微處理器介面 302

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

中的解碼器304係將第一ADS訊號、HREQ[4:0]、以及HA[31:3]做解碼，而解碼結果將經由訊號線312A饋入至及閘312內。當解碼結果指出請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、且位址相位定址在記憶體的範圍內時，及閘312會輸出參考HCLK之高電位致能的第二ADS訊號。在本發明較佳實施例中，只要當HREQ[4:0]訊號中的長度相位所選擇的記憶體長度不為零、且HA[31:3]訊號中的位元組致能相位之任一位元組致能時，及閘312即會輸出參考HCLK之高電位致能的致能訊號(EN)。至於訊號轉換電路306係耦接至微處理器介面302，用以將參考HCLK的第二ADS訊號轉換為參考記憶體時脈(DCLK)的第三ADS訊號。此外，記憶體控制器308係耦接至訊號轉換電路306，而記憶體控制器308中的仲裁電路310係用以接收第三ADS訊號及致能訊號EN，並且當第三ADS訊號及致能訊號EN均為致能時，由仲裁電路310輸出參考DCLK且符合記憶體規格之記憶體控制訊號，然後傳送至記憶體以執行所需的操作。應注意的是，仲裁電路310可由及閘或其它的邏輯電路來完成，而及閘312亦可包含在解碼器304內部、或由其他邏輯電路來構築，習知技術者當能依據實際情形加以變化，然所有等效修飾與變更仍應包含在本發明申請專利範圍之內。

控制晶片30進行記憶體存取時的時序訊號圖則如第4圖所繪示。在本實施例中，係基於HCLK的操作頻率為100MHz、而DCLK的操作頻率為133MHz之架構做說明。

五、發明說明（10）

在本實施例中所使用的 CPU 32 為 Pentium 4，而本發明的控制晶片 30 為支援 Pentium 4 的北橋控制晶片。底下將敘述第 4 圖的運作情形。

當 CPU 準備對記憶體做資料的存取時，CPU 會起始記憶體存取週期（當然，該記憶體存取週期是否有效，仍需必須判斷 Zlen 訊號才能決定。）。同樣地，在 HCLK 的上升緣後，控制晶片 30 將接收 CPU 所發出之參考 HCLK 之低電位致能的第一 ADS 訊號、HREQ[4:0]、以及 HA[31:3]。當 HREQ[4:0] 訊號中的請求選擇相位 (HREQ_A) 決定出 HREQ[4:0] 屬於記憶體讀取請求訊號或記憶體寫入請求訊號、且位址相位定址在記憶體之位址範圍內時，微處理器介面 302 內之及閘 312 將在 HCLK 的上升緣後，產生參考 HCLK 之高電位致能的第二 ADS 訊號（如標號 402 所示）。當長度相位所選擇的記憶體長度不為零、且位元組致能相位之任一位元組致能時，將經由微處理器介面 302 中的解碼電路 304 產生參考 HCLK 之高電位致能的 EN 訊號（如標號 408 所示）。之後，第二 ADS 訊號會經由訊號轉換電路 306，以在 DCLK 的上升緣 404 後，轉換為參考 DCLK 之高電位致能的第三 ADS 訊號 406。然後，當第三 ADS 訊號與 EN 訊號均為致能時，仲裁電路 310 會產生參考 DCLK 且符合記憶體規格之記憶體控制訊號（如標號 410 所示），接著再傳送至記憶體，而完成 CPU 對記憶體的存取請求。

應注意的是，在較佳實施例的 HCLK 二倍週期內，需避免連續產生二個第二 ADS 訊號，以維持第二 ADS 訊號一

五、發明說明(11)

定程度的時間。事實上，因目前CPU與控制晶片間的匯流排規格中，係以第一ADS訊號線上產生低電位方代表CPU 12有記憶體存取的需求，所以兩個第一ADS訊號之間又必須維持一段時間的高電位，因此不會有連續的第一ADS訊號被發出，亦即不會有連續的第二ADS訊號產生的情形。此外，當致能訊號EN維持在高電位時，其必須維持夠長的時間，以使第三ADS訊號被拉高至高電位時，可同時被仲裁電路310所看到(例如第三ADS訊號於上升緣406產生時，亦能看到維持於高電位的EN訊號)，進而產生所需的記憶體控制訊號410。在本較佳實施例中(亦即HCLK與DCLK的頻率分別為100MHz與133MHz)，致能訊號的致能時間為HCLK之3/2倍週期，以確保致能訊號的致能狀態能維持到第三ADS訊號的致能結束後。

本發明因為微處理器介面 302 只要請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、且位址相位定址在記憶體的範圍內，第二 ADS 訊號隨即產生，並將其送往訊號轉換電路進行記憶體存取操作所需的頻率轉換，因此第二 ADS 訊號可提早一個時序週期產生。此外，因致能訊號 EN 係在 Zlen 訊號不存在時啟動，所以當致能訊號 EN 產生且被送往仲裁電路 310 後，只需等待第三 ADS 訊號的到來，即可產生所需的記憶體控制訊號。明顯的，由於第二 ADS 訊號轉換至第三 ADS 訊號較習知技術提前一個時序週期進行，因此當 CPU 在存取記憶體時，能減少在控制晶片的延遲時間，所以能加速記憶體的存取，進而提升系統的性能。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

能與效率。另一方面，當 Zlen 訊號被測得時，因致能訊號 EN 將維持於低電位(亦即不被致能)，所以將取消目前的記憶體週期。

綜上所述，本發明具有如下的優點：

1. 因為微處理器介面只要請求選擇相位為記憶體讀取訊號或記憶體寫入訊號、且位址相位定址在記憶體的範圍內，第二 ADS 訊號隨即產生，因此第二 ADS 訊號產生的時間提早一個週期。

2. 因提早產生的第二 ADS 訊號係用來產生第三 ADS 訊號，所以同時使第三 ADS 訊號的產生的時間得以提前，因此能加速記憶體的讀取。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種加速記憶體存取的控制晶片之運作方法，該控制晶片耦接至一中央處理單元，該運作方法包括下列步驟：

接收該中央處理單元之參考一第一時脈的一第一選通訊號、一請求訊號、以及一位址匯流排訊號，其中該請求訊號包括一請求選擇相位與一長度相位，而該位址匯流排訊號包括一位址相位與一位元組致能相位；

當該請求選擇相位決定出該請求訊號屬於一記憶體讀取請求訊號與一記憶體寫入請求訊號二者擇一，且該位址相位定址在該記憶體之位址範圍內時，產生參考該第一時脈的一第二選通訊號；

當該長度相位所選擇的一記憶體長度不為零且該位元組致能相位之任一位元組致能後，產生參考該第一時脈的一致能訊號；

將參考該第一時脈的該第二選通訊號轉換為參考一第二時脈的一第三選通訊號；以及

當該第三選通訊號與該致能訊號均為致能後，產生參考該第二時脈的一記憶體控制訊號。

2. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中第一選通訊號係於該中央處理單元愈起始一有效記憶體位址時產生。

3. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該第一時脈為一中央處理單元時脈，該第二時脈為一記憶體時脈。

六、申請專利範圍

4. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該請求選擇相位係用以定義該請求訊號之傳輸型式。

5. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該長度相位係用以定義該請求訊號所要存取的該記憶體長度。

6. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該位址相位係用以定址該記憶體的位置。

7. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該位元組致能相位係用以選擇一位元組資料、一字組資料、一雙字組資料或一四字組資料來做存取。

8. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該控制晶片包括一微處理器介面，用以接收該第一選通訊號、該請求訊號、以及該位址匯流排訊號，並產生該第二選通訊號及該致能訊號。

9. 如申請專利範圍第8項所述之加速記憶體存取的控制晶片之運作方法，其中該微處理器介面不會在該第一時脈之二倍週期內，連續產生二個該第二選通訊號。

10. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該控制晶片包括一訊號轉換電路，用以將參考該第一時脈的該第二選通訊號轉換為參考該第二時脈的該第三選通訊號。

六、申請專利範圍

11. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該控制晶片包括一記憶體介面，當該第三選通訊號與該致能訊號均為高電位後，產生參考該第二時脈的該記憶體控制訊號，並傳送至該記憶體。

12. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該第一選通訊號係為低電位致能。

13. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該第二選通訊號、該致能訊號、及該第三選通訊號係為高電位致能。

14. 如申請專利範圍第1項所述之加速記憶體存取的控制晶片之運作方法，其中該致能訊號的致能時間為該第一時脈的 $3/2$ 週期。

15. 一種加速記憶體存取的控制晶片，耦接至一中央處理單元，該控制晶片包括：

一處理器介面，用以接收該中央處理單元之參考一第一時脈的一第一選通訊號、一請求訊號、以及一位址匯流排訊號，其中該請求訊號包括一請求選擇相位與一長度相位，該位址匯流排訊號包括一位址相位與一位元組致能相位，當該請求選擇相位決定出該請求訊號屬於一記憶體讀取請求訊號與一記憶體寫入請求訊號二者擇一，且該位址相位定址在該記憶體之位址範圍內時，產生參考該第一時脈的一第二選通訊號，以及當該長度相位所選擇的一記憶

六、申請專利範圍

體長度不為零且該位元組致能相位之任一位元組致能後，產生參考該第一時脈的一致能訊號；

一訊號轉換電路，耦接至該微處理器介面，用以將參考該第一時脈的該第二選通訊號轉換為參考一第二時脈的一第三選通訊號；以及

一記憶體控制器，耦接至該訊號轉換電路，當該第三選通訊號與該致能訊號均為致能後，產生參考該第二時脈的一記憶體控制訊號。

16. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該處理器介面包括一解碼電路，用以將該第一選通訊號、該請求訊號、以及該位址匯流排訊號做解碼，而輸出該第二選通訊號及該致能訊號。

17. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該記憶體介面包括一仲裁電路，當該第三選通訊號與該致能訊號均為致能後，輸出該記憶體控制訊號。

18. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該第一時脈為一中央處理單元時脈，該第二時脈為一記憶體時脈。

19. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該微處理器介面不會在該第一時脈之二倍週期內，連續產生二個該第二選通訊號。

20. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該致能訊號的致能時間為該第一時脈的

六、申請專利範圍

3/2週期。

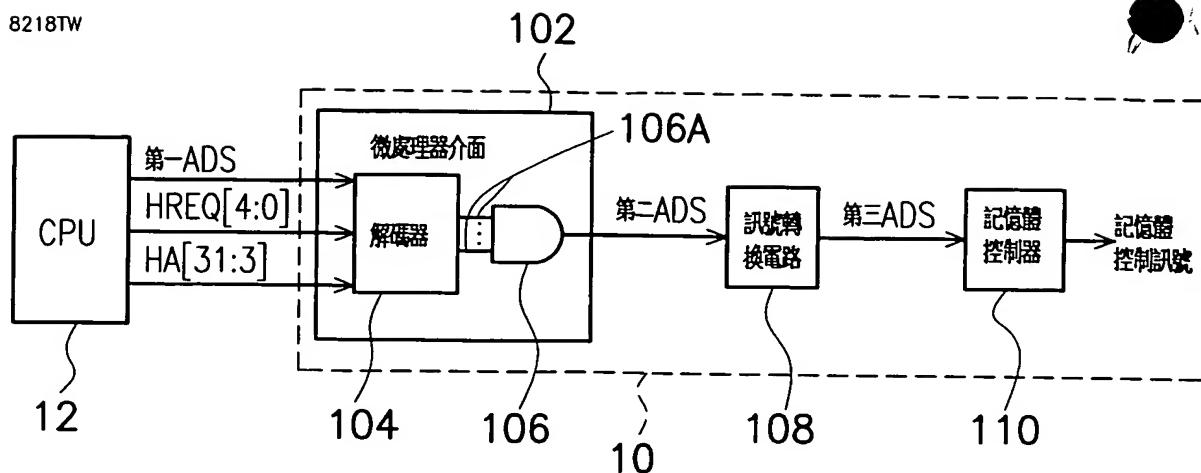
21. 如申請專利範圍第15項所述之加速記憶體存取的控制晶片，其中該控制晶片係安置於主機板內。

(請先閱讀背面之注意事項再填寫本頁)

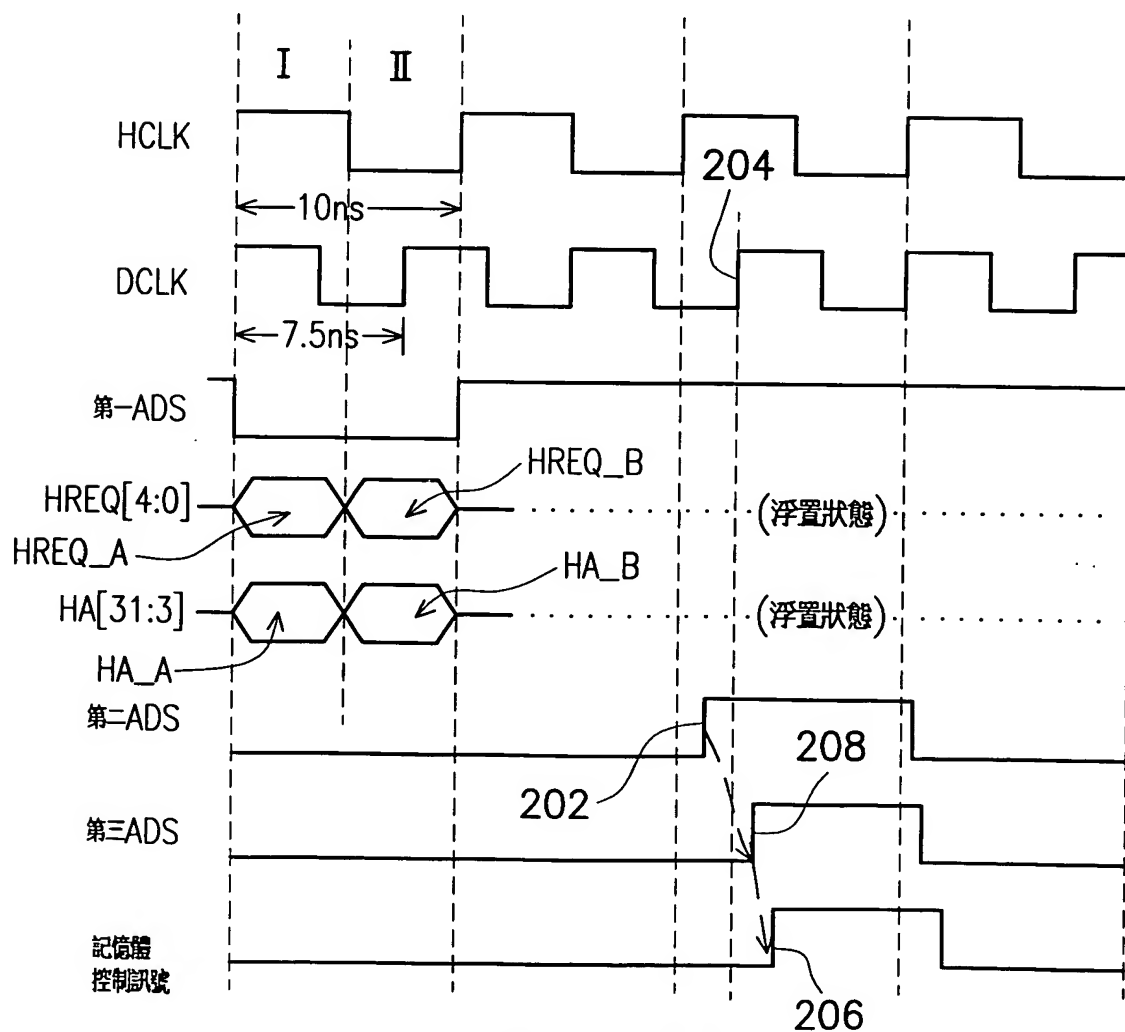
裝

訂

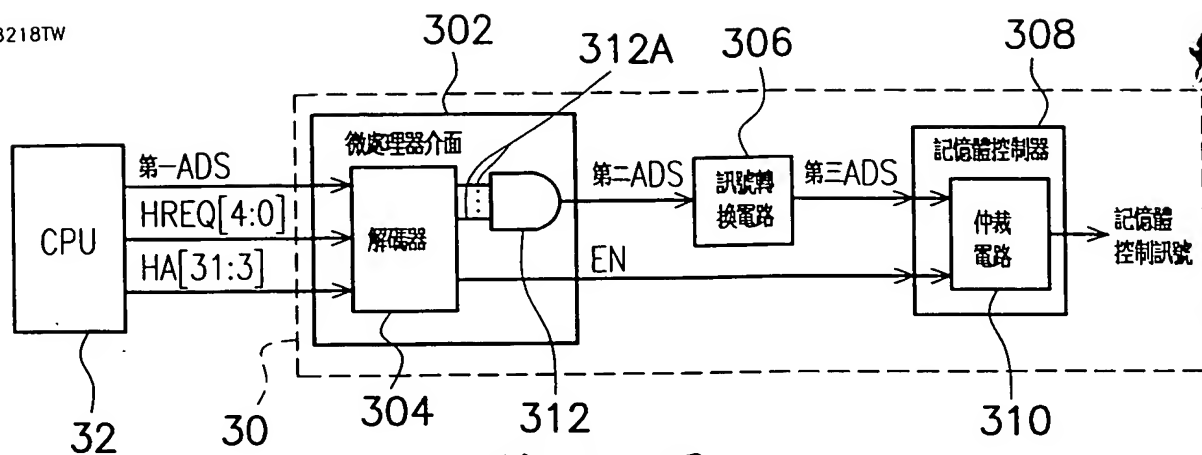
線



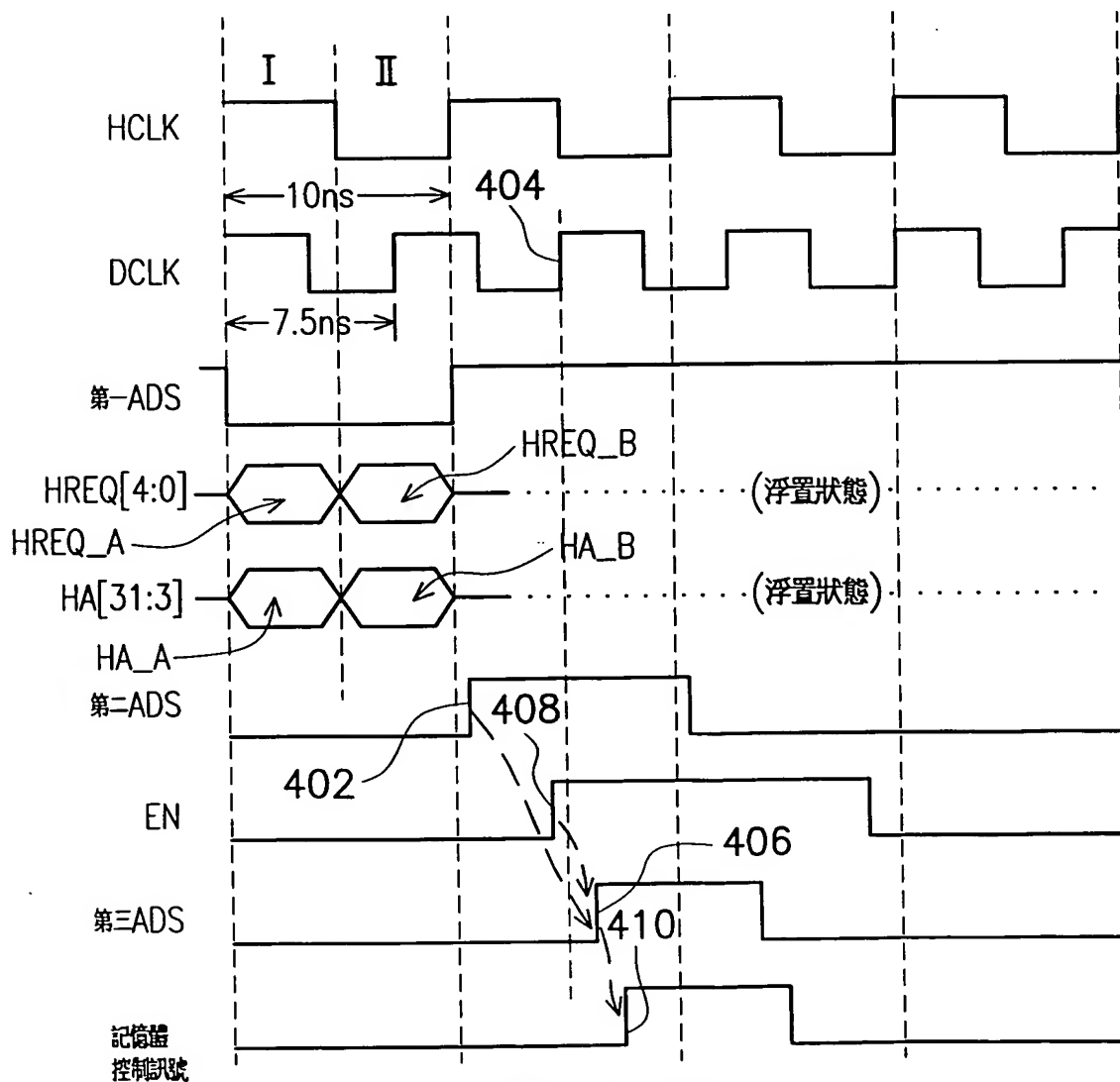
第 1 圖



第 2 圖



第 3 圖



第 4 圖